

SEU を利用した高位置分解能型半導体検出器の原理実証試験とシミュレーション

Proof-of-principle test of the semi-conductor detector for charged particles using single event upset events

研究代表者 高エネルギー加速器研究機構 素粒子原子核研究所 研究機関講師 津野 総司

Soshi Tsuno

Semi-conductor detectors for charged particles are widely used not only for the particle and nuclear science but also medical science. Unlike a photon detection, a charged particle from nuclear interaction penetrates the semi-conductor detector and leaves minimum ionization energy in the sensor. The overall detector system therefore consists of multi-layer of the semi-conductor detectors under magnetic field so that the charged particle momentum is precisely measured by the trajectory of the space-point information of the pixel hits in the detectors. The system including the readout electronics is often complex, large, and very expensive that prevents users from the experiment at their local laboratories. In this study, the diverted technology using SRAM memory chip is investigated as a charged particle semi-conductor detector. The SRAM memory chip is normally used to record a bit in each memory cell. When the charged particle passes through the memory chip, the bit is flipped with very rare probability, which is known as single event upset (SEU). When a certain condition is adjusted, the probability for the bit-flip is largely enhanced. We demonstrate this feature for the single SRAM chip and measure the enhanced probability to be up to about 20% level. Using the latest SRAM memory chip, where 3-dimensional memory layers are constructed, such chip may work as the charged particle detector, which will allow to be much cheaper and much higher space-point resolution than conventional particle detectors.

要旨

半導体検出器は、放射線計測において、素粒子・原子核実験のみならず医療・非破壊検査などの分野でも広く用いられている。放射線計測の要諦は、エネルギーの測定と飛来方向の同定である。飛来方向の同定において、半導体は、その微細加工技術と電気制御技術を駆使して、放射線が通過した位置(ピクセル)を精度良く決定できる事から用いられている。デジタルカメラのように光子を検出するのとは違い、素粒子・原子核反応から生じる荷電粒子(電子など)は、半導体を貫通するので、半導体検出器を幾層にも重ねて、通過位置を3次的に検出する。しかしながら、荷電粒子の飛跡を同定する半導体検出器は、しばしば大きな有効面積を必要とするため、高額であり、読み出しチャンネルの多さから、システム設計の技術的なハードルは極めて高い。本研究は、微

細加工技術の成熟した商用のメモリチップをわざと放射線耐性を脆弱にした設定に施すことによって、放射線検出器へ転用する可能性を探る実証実験研究である。もし転用ができるのであれば、安価な検出器が可能となり、放射線技術を必要とする分野の裾野を広げる。

1. まえがき

近年の半導体加工技術は、線幅が数ナノメートルのオーダーにも迫り、数原子レベルでの統計的な揺らぎから、技術的な限界が指摘されている。さらに、自然界に存在する放射線が各メモリセルとの衝突によって、メモリに格納された情報を書き換えてしまう効果も無視できなくなっている。この効果は広義には、Single Event Upset (SEU)として知られている。一般に SEU を起こさせないためには、十分に配慮し

大きな電気容量を確保する必要があり、微小の領域に大容量の電荷を確保するために、ゲート電圧のアスペクト比と干渉効果、制御技術の難易度は困難を極める。我々は、むしろ、この事実を逆にとり、積極的に自然放射線がメモリ情報を書き換える粒子放射線検出器を開発する。近年では3次元的に積層したメモリチップが商用として開発されており、研究者用の製作ベンダーでも多層構造の加工が可能となってきた。そこで、多層構造のメモリチップに着目し、3次元的に配置されたメモリセルの中を荷電粒子の通過とともに、飛跡に沿ってビット反転(SEU)を起こさせれば、従来型の検出器のように、単層の検出器を空間的に多重に重ねなくても、本検出器一つで、粒子飛跡を再構成することができる。これは安価な検出器を実現するかもしれない。

従来の半導体検出器(図 1a)は、単層で不感領域がなく、検出効率が 100%になるように設計されているため、1ピクセル当たりのサイズは、どうしても大きくならざるを得ない。一方、我々が提案する検出器(図 1b)は、すでに確立された積層メモリの技術を応用して、1メモリセル当たりの検出効率を犠牲にして、多層構造でカバーすることである。したがって、従来の半導体検出器に比べ

て、ピクセル・サイズを格段に小さくすることができる。簡易計算によると、従来型の検出器に比べて、安価であることに加えて、さらに最大 100 倍以上の位置分解能が得られることが分かった。これは革新的な検出器の開発を意味する。当該研究の最終的な目標は、セルサイズを粒子飛跡の感度に最適化された積層型の SRAM メモリの構築である。

一般に、半導体電子回路には、SEU を避けるために様々な保護回路が搭載されている。環境放射線のフラックスとメモリ・サイズから、1メモリセル当たり(50nm x 50nm の場合)、放射線の通過に伴いビット反転を起こす確率は、おおよそ、 10^{-5} のオーダーとなることが分かる。このままでは検出器の使用に耐えない。当該研究は、このビット反転の確率を最大化するように設定を施し、どこまで検出効率が得られるのか、実証試験を行うことである。

2. 実証試験

半導体メモリは、pn 接合間に印加電圧を付加することによって、双安定点と呼ばれるポテンシャルの谷間に電子を捕獲することによって、0/1 の信号を保持する。通常、この印加電圧 V_{DD} は、2 - 5V である。逆に V_{DD} を

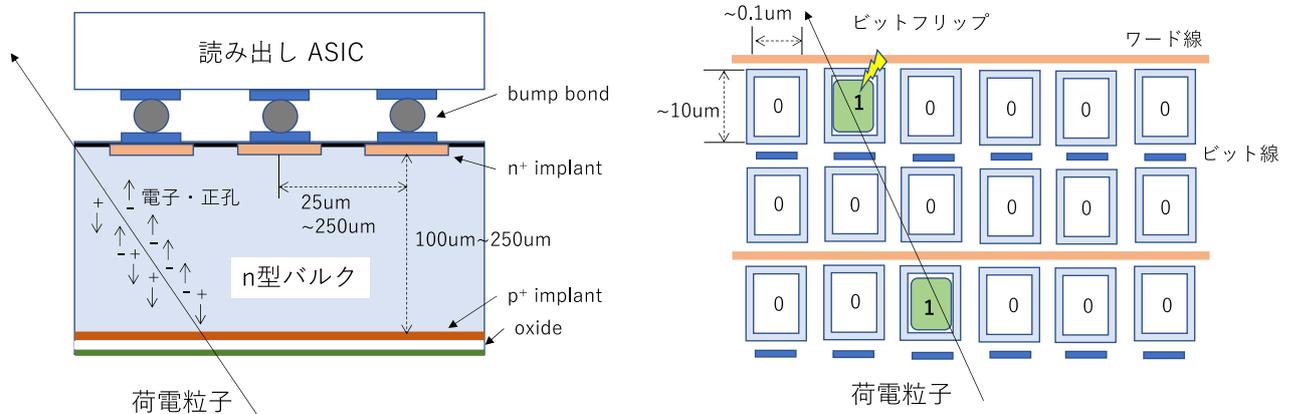


図1 (a) 従来の半導体検出器. (b) 本研究が目指すメモリチップを利用した検出器概念図.

規定の電圧から下げていくと、双安定点は消失し、メモリは保持できなくなる。SEU問題は、加速器科学や宇宙分野で広く研究されており、先行研究⁽¹⁾では、この V_{DD} 依存性を調べ、規定電圧(5V)の時に比べて、 V_{DD} が200mVの時は、SEU発生確率は、5桁以上も上昇することが報告されている。これは当然、メモリとしての機能は果たさないが、逆に放射線検出器として使えるかもしれない。本研究は、商用のSRAMメモリの規定電圧を下げていき、どこまで放射線に対する検出効率を獲得することができるのか、実証試験を行う。

3. セットアップ

実験は、高エネルギー加速器研究機構にある180MBqのストロンチウム密封線源(2.27MeVベータ線)を用いて行った。実験の外観を図2に示す。図右側のフラットケーブルに繋がれた電子回路は、試料となるSRAMチップの読み出し回路である。この上部から放射線源を照射する(写真では線源コリメーターをまだ設置していない)。この回路はステッピングモーターに備え付けられ、照射あり領域と照射なし領域を前後に往復する。右側の回路から送られた信号が、中央のFPGAでビット



図2 実験セットアップ外観。写真では照射線源はまだ設置されていない。

反転の個数を判定し、データが、ノートPCに送られる。SRAMの測定基板、及び、FPGAは、当該研究費により設計・購入した。照射で用いた線源強度は、非常に強力であるため、法定で定められた照射棟で実験を行った。照射実験中は立ち入りできないため、実験セットアップの構築に大きな制約がかかる。

読み出しに係るデータフローを図3に示す。まず、規定電圧($V_{DD}=5V$)に於いて、初期メモリをすべて1か0に設定する。次に、300msの間、 V_{DD} を下げて線源を照射、その後、規定電圧に戻し、初期設定値から、どれくらいのメモリセルが0か1へ反転したか測定する。使用したSRAMは、EPSON SRM2B256SLMX55で、262,144個のメモリセルを搭載している。チップ内の正味の有効面積を $262,144 \times 10 \text{ [mm}^2\text{]} = 2.6 \text{ [mm}^2\text{]}$ と仮定し、線源強度と立体角から、300msの間におおよそ650個の電子が入射するように調整した。つまり、650個の入射電子に対して、何個のメモリセルがビット反転したかが、検出効率となる。しかし、有意な検出効率を達成するために、 V_{DD} を極限まで下げるため、揮発性メモリの性質から、300msの間に自然にメモリ情報を失うメモリセルも複数存在する。これをノイズと規定し、300msの間に照射する場合としない場合をステッピングモーターを用いて、交互にそれぞれ200回測定する。

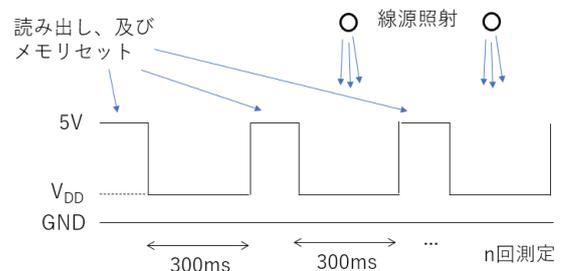


図3 測定に於けるデータフロー。読み出す時は規定電圧にセットし、300msの間の照射中は、 V_{DD} を下げる。

4. 測定結果

測定データの分布を図4に示す。図は、 $V_{DD}=78\text{mV}$ の時の照射有りと無しの測定を10回毎繰り返す、20往復の測定に於けるビット反転の数を示している。照射有りの場合は、照射無しに比べて、有意にビット反転の数が上昇している。照射有りの両側にある照射無しのデータをサイドバンドで直線フィットで得られた推定値を照射有りの時のノイズとして、差し引くと、照射による効果を統計的に取り出すことができる。

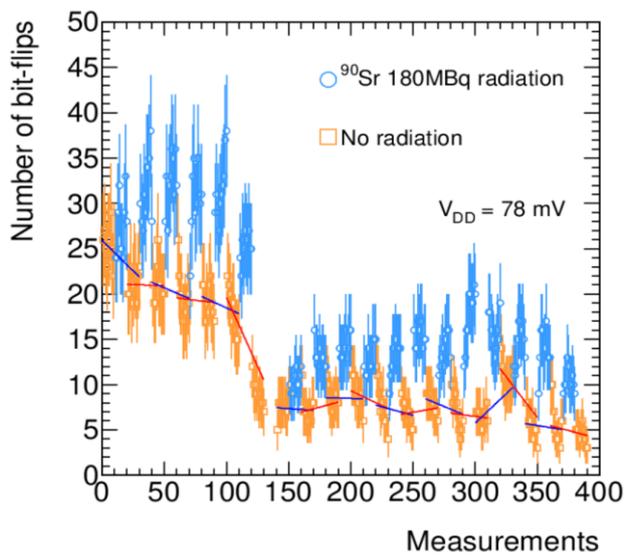


図4 $V_{DD}=78\text{mV}$ に於ける測定データ。照射有りと無しの場合を10回毎繰り返す、それを約20往復測定を繰り返す。

この操作を V_{DD} を変えて繰り返す。線源の照射強度と立体角から、検出効率を算出したのが図5である。 V_{DD} が、 80mV 以下の領域で、検出効率が、 $1\sim 2\%$ となる結果が得られた。それ以上の V_{DD} では、有意な検出効率を得ることはできなかった。ここで、メモリセルの有効面積の不定性50%を系統誤差として加味している。

5. 考察

図4から明らかであるように、同一の V_{DD} であっても、ノ

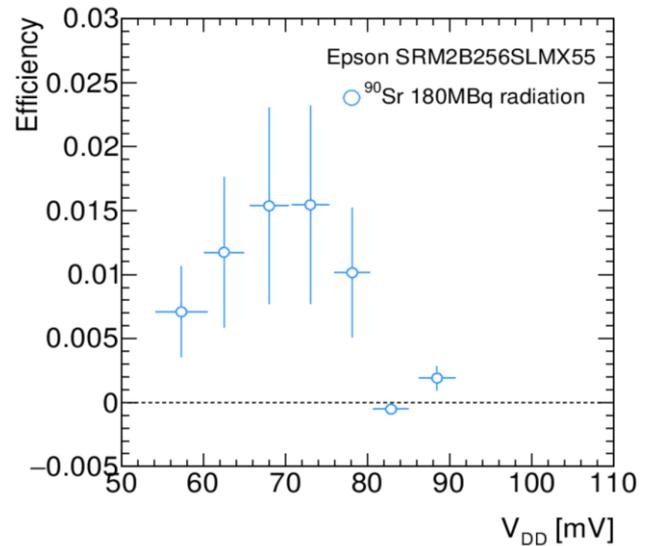


図5 SRAM の V_{DD} を変化させた時の電子に対する検出効率。

イズが時間とともに変動している。供給電源の5mV刻みの不定性や、チップの温度特性、漏れ電流の変動が考えられる。300msの間に自然にビット反転する数(ノイズ)が、むしろ、荷電粒子に対する感度に直結しているため、ノイズレベルの変動に対する検出効率を算出したものが、図6となる。

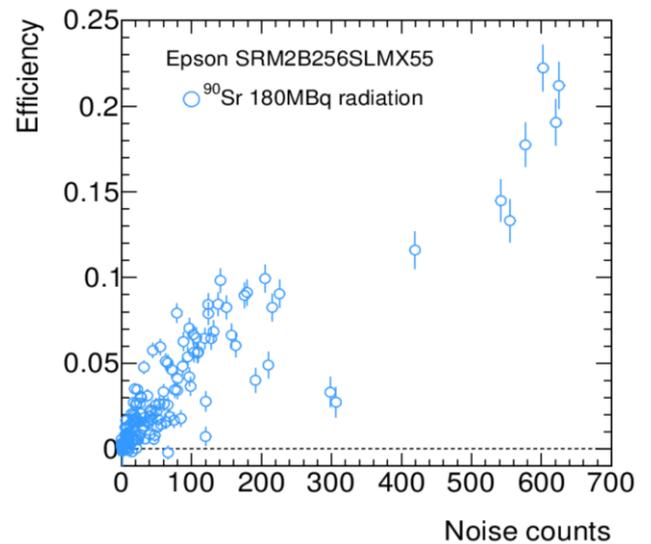


図6 SRAM のノイズに対する電子の検出効率。

イズが200近辺では検出効率が10%、500近辺では、検出効率が20%に達する。例えば、荷電粒子の飛跡を再構成するためには、直線としては、最低3点のヒットが

必要となる。したがって、検出効率が 10% の場合は、最小 30 層のメモリセルが必要である。近年では 100 層を超えるメモリが市販されているため、10-20% の検出効率を達成するように、 V_{DD} を適宜可変させるフィードバック回路を搭載すれば、我々が目指す、従来の半導体検出器に比べて、安価で 100 倍以上位置分解能に優れた検出器が作れる可能性がある。ノイズに関しては、放射線計測の時間幅を短くすることによって、軽減することができ、量子ビームなどのビーム・スピルに同期して使用することを考えている。複数のノイズの中の各層 1 点が、本当のシグナルとなるが、複数層に跨って、直線上にヒットがある条件を課すと、ノイズの量は問題にならないことが期待される。

6. まとめ

本研究では、商用の SRAM メモリを使って、SEU の発生確率を最大化するように V_{DD} を調整して、荷電粒子に対して有意な検出効率が得られるか、実証実験を行った。結果、 V_{DD} を規定電圧 5V に対して、80mV まで下げると検出効率は、1-2% になることを確認した。さらに、自然にメモリが消失する割合が多い領域(ノイズ)では、検出効率は、20% まで上昇することが確認できた。ノイズの低減は、検出の時間幅(本実験では 300ms)を短く、さらに多層構造の SRAM に於いて、粒子線の直線上にヒットがある要求を課すことによって低減できると期待できる。したがって、本研究課題である単層での SRAM の荷電粒子に対する検出効率の測定の実証実験は、期待通りであったと結論する。

今後は、ノイズの変動を制御する環境因子を調べ、多層 SRAM に於ける検出効率の測定を繰り返し、荷電粒子の飛跡再構成のソフトウェアでのアルゴリズムの開発に取り組む。

参考文献

- (1) J. Barak *et al.*, "Scaling of SEU mapping and cross section, and proton induced SEU at reduced supply voltage," in *IEEE Transactions on Nuclear Science*, vol. 46, no. 6, pp. 1342-1353, Dec. 1999, doi: 10.1109/23.819092.